Лабораторная работа №7.

**Исследование работы дешифраторов.**

**1. ЦЕЛЬ РАБОТЫ**.

1. Исследование работы дешифратора (DC) в режиме управления выходами.

2. Исследование работы DC в режиме демультиплексора (DMX).

3. Исследование работы DC в режиме распределителя тактов (командоаппарат).

**2. ПОДГОТОВКА К РАБОТЕ.**

***2.1****. Изучить следующие вопросы курса*:

* основные принципы работы DC,
* действие входов разрешения DC,
* работа DC в режиме DMX,

***2.2****. Подача логических уровней на входы ЦИМС.*



Рис.7.1. Элементы в EWB для подачи уровней "0" и "1".

* константа – уровень "0" – просто "Земля" – Рис.7.1(а),
* константа – уровень "1" – специальный элемент – Рис.7.1(b)
* литерал – генератор импульсов "0" → "1" → "0" → … – Рис.7.1(с)

Напряжение 5B в генераторе установлено по умолчанию, частота согласно указаниям. *Duty Cycle* - %, который занимает уровень "1" в периоде, по умолчанию 50%. Вывод "–" ***обязательно*** подключается к "Земле", иначе будет – 5B.

***2.3.*** *Дешифраторы.*

***2.3.1****. Модель DC, используемая в Л.Р.№7 – Рис.7.2.*



Рис.7.2. Модель DC в EWB.

Назначение выводов DC:

* три адресных входа: A=a0 (LSB), B=a1, C=a2 (MSB),
* три входа разрешения, работа разрешена, только если на входах *одновременно* присутствуют уровни G1="1", G2A'=G2B'="0",
* восемь выходов О0 ÷ О7 (OUT), активным выходом является тот, номер которого совпадает с кодом на шине адреса: a2 (С) – a1 (B) – a0 (A),
* активный уровень на выходе DC – "1".

***2.3.2****. Общее разрешение работы DC.*

Простейшее назначение разрешающих входов – разрешать обычную работу DC "бегущая "единица" константами, т.е. при входной комбинации: G1="1", G2A'=G2B'="0".

***2.3.3****. Совместное управление выходами DC – адресные и разрешающие входы.*

1) На входы разрешения подаются литералы, БФ от адресных переменных (Рис.7.3). Определенные адреса вызывают запреты на 3-х выходах (или на 1-м, или на 2-х). В этом варианте кодовые комбинации работают только на запрет.



Рис.7.3. Запрет активных уровней на 3-х выходах; 1-й вариант решения.

Если минимизировать по "корпусам", то можно уложиться в *два* корпуса, хотя на схеме показано три типа (самостоятельно!)

2) На два входа разрешения подаются разрешающие константы, а на третий – литерал, выход УКЛ. Здесь уже возможна хорошая минимизация, в т.ч. и по корпусам.

Этот вариант наиболее универсален:

* можно выбрать прямой или инверсный вход разрешения,
* можно выбрать прямой или инверсный вид БФ,

В результате можно управлять как разрешением, так и запретом для любого количества выходов.



Рис.7.4. Запрет активных уровней на 3-х выходах; 2-й вариант решения.

В схеме на Рис.7.4. решается задача запрета для тех же выходов, но все решение занимает три ЛЭ из *одного* корпуса 2ИЛИ-НЕ.

Будем считать, лучший вариант – это минимизация по корпусам. А при равном количестве корпусов в нескольких вариантах – наименьшее количество *добавляемых элементов*. В схеме на Рис.7.3 как раз и есть два варианта решения в 2-х корпусах.

***2.3.4.*** *Работа в режиме DMX с переключением между входом и двумя выходами.*

При работе DC в режиме DMX:

* на один вход разрешения подается *входной последовательный* код, этот вход и становится входом DMX,
* на остальные входы разрешения подаются постоянные уровни (какие?),
* адресная комбинация делает активным один из выходов,
* на этот выход поступает входной код.

Задача разрешения/запрета отдельных выходов оказывается очень простой в частном случае – периодическая активация только *двух* выходов. Максимальное количество ЛЭ для решения – один инвертор, а в ряде случаях можно и без него.



Рис.7.5. Схема переключения между входом DMX и двумя выходами.

Логику между выходом V2 и адресными входами нужно создавать по варианту. *Обязательным является описание, как именно создавалась эта логика*.

Пример для двух адресов 0 (000) и 7 (111), которой не будет ни в одном варианте:

* генератор V2 периодически создает на выходе значения "0" и "1",
* для переключения нужно периодически менять комбинации (000) (111)

*Вывод:* Выход V2 подключается ко всем адресным входам одновременно.

***2.3.5.*** *Работа в режиме распределителя тактов.*

Принцип создания распределителя в соответствии с временной диаграммой работы исполнительных механизмов рассмотрен в лекционном курсе и дополнительно должен быть изучен самостоятельно. На Рис.7.6 показан один из вариантов, когда исполнительные механизмы (светодиоды) сначала последовательно включаются от М1 к М4, а затем так же последовательно выключаются от М4 к М1. Согласно временной диаграммой каждый из них работает только в определенных тактах. В соответствии с этой работой и строится схема управления (очень простая!).



Рис.7.6. Схема распределения тактов (командоаппарат)..

***!!!*** Восемь инверторов после выходов DC *не являются* частью схемы управления. Они предназначены для имитации DC с активным уровнем "0", который в EWB отсутствует.

***!!!*** Схема управления выполнена "as is", в ней даже есть не выпускаемый ЛЭ 5И-НЕ.

При выполнении Л.Р. схема управления должна быть минимизирована. Например, схема на Рис.7.6. может быть выполнена на 2-х корпусах: 2И-НЕ (1шт) и 3И-НЕ (1шт).

***2.4.*** *Задание для самостоятельной подготовки.*

На бланке ДОПУСК – документ Preview&Check.docx – должно быть:

***По пп.2.3.3 (пп.3.1).***

БФ для каждого их входов разрешения (решение по Рис.7.3),

БФ для одного входа разрешения (решение по Рис.7.4). Эта БФ должна быть в том виде, в котором будет реализована схема; сама схема рисуется в процессе Л.Р.

***По пп.2.3.4 (пп.3.2).***

Выражение для *каждого* адресного входа, на который может подаваться:

"0", "1", - с выхода генератора,  - с выхода генератора через инвертор,

***По пп.2.3.4 (пп.3.3)***.

БФ для управления каждым из М1 – М4. Переменные БФ – это выходы DC.

ЛЭ для управления каждым из М1 – М4, обязательно выпускаемый тип!

***!!!*** Отдельно (можно на черновике) схемы реализации в минимизированном виде.

Примеры в **ПРИЛОЖЕНИИ 7.2.**

**ЗАДАНИЕ НА РАБОТУ В ЛАБОРАТОРИИ**.

***3.1.*** *Выборочное управление выходами DC.*

***3.1.1.*** *Проверка работы схемы.*

Открыть файл DCoutDisable.ewb. Это схема, показанная на Рис.7.3 и Рис.7.4 без элементов управления запретом.

***!!! Рекомендация дя ускорения выполнения.***

Поскольку нужно будет сделать *два* варианта решения, сохраните этот файл под другим именем (Save As), т.е. сделайте его копию в той же папке.

Назначение элементов управления:

Источник перебора адресных комбинаций для DC – счетчик (в модуле), который управляется:

* в автоматическом режиме от генератора 1Гц – смена комбинаций через 1с,
* в ручном режиме ключом Q – каждое нажатие дает смену комбинации,
* ключ **S** переключает режимы, ключ **R** сбрасывает счетчик в 0,
* назначение элементов индикации – очевидно.

На входы **G1**, **G2A'**, **G2B'** уже поданы постоянные разрешающие уровни. Включить схему, убедиться в наличии "бегущей 1" на выходах DC. Частоту генератора **V1** и цвет индикаторов можно устанавливать по удобству визуального отображения.

*Рекомендуется:*

* "прогнать" цикл в ручном режиме, чтобы усвоить все соответствия,
* убедиться в наличии режима "бегущая 1" при работе от генератора.

***3.1.2.*** *Исключение трех выходов из последовательности "бегущая 1".*

В каждом варианте ПРИЛОЖЕНИЕ 7.1 указаны №№ 3-х выходов, которые не должны быть активированы при полном цикле счета. Для варианта решения по Рис.7.4 указан вход разрешения: G1 – запрет уровнем "0", G2A', G2B' – запрет уровнем "1".

Удалить элементы, подающие постоянный уровень "0" и "1", на входы разрешения, которые будет использовать логика. Внести в файлы схемы управления, созданные при самостоятельной работе.

Образцы показаны на Рис.7.3 и Рис.7.4. Необходимые ЛЭ берутся в *Logic Gates*. Увеличение количества входов, если понадобится: *Свойства → Number of inputs*.

*Работающие в соответствии с вариантом схемы предъявить преподавателю для отметки в бланке выполнения*.

***!!!*** Выполняйте каждый вариант решения на отдельной схеме. Если схема не была скопирована, процесс выполнения и предъявления может занять большее время.

***3.2.*** *Работа DC в режиме DMX.*

***3.2.1.*** *Подготовка схемы.*

Открыть файл DCasDMX.ewb – Рис.7.6. Самостоятельно решите, как выбрать частоты генераторов из удобства визуального наблюдения и принципов работы схемы:

* один генератор задает частоту входного последовательного кода – это частота мигания индикатора,
* второй генератор задает частоту переключения каналов, она должна быть, *как минимум* в (5 ÷ 10) раз меньше частоты кода, допускаются частоты < 1Гц.

***3.2.2.*** *Создание схемы переключения выходных каналов.*

Установите необходимые ЛЭ между генератором и адресными входами в соответствии со схемой, созданной при самостоятельной подготовке. Связь, присутствующую на схеме, надо удалить!

***!!!*** После включения может оказаться, что частота на каждом из выходов действует *неодинаковое* время. Если не догадались, как управлять этим свойством, то необходимая информация в данном М.У. есть, надо ее только найти и использовать. в любом случае в отчете долен быть указан способ, как управлять долей времени, выделяемой для каждого канала.

*Работающую в соответствии с вариантом схему предъявить преподавателю для отметки в бланке выполнения. Укажите, как изменять долю времени для каждого канала.*

***3.3.*** *Работа DC в схеме распределителя тактов.*

***3.3.1****. Проверка схемы и ее подготовка к работе*.

Открыть файл DCasCommand.ewb (Рис.7.6). Включить схему и убедиться в реализации последовательности "бегущий 0". Удалить связи между выходами инверторов с светодиодами. Удалить светодиоды без маркировки, оставив только М1 ÷ М4.

***3.3.2****. Создание схемы управления*.

На месте удаленных связей должна быть помещена схема управления, как это показано на Рис.7.6. Схема должна быть заранее составлена и минимизирована.

***ВНИМАНИЕ!!!***

В схеме на Рис.7.6 DC включает в свой состав 8 инверторов:

* активный уровень на выходе – "0",
* активный уровень для М1 – М4 – "1"

*Работающую в соответствии с вариантом схему предъявить преподавателю для отметки в бланке выполнения.*

***4****. Требования к отчету при оформлении.*

***По пп.3.1.***

Для 1-го варианта решения:

* составлены БФ и нарисована схема их реализации "as is" (только на бумаге),
* нарисована схема с оптимизацией по корпусам (она же рабочая схема),
* приведено количество типов ЛЭ и корпусов в каждом случае.

Для 2-го варианта решения:

* составлена БФ, подаваемая на вход разрешения,
* составлена и минимизирована ТИ,
* нарисована схема МДНФ "as is" (только на бумаге),
* нарисована схема с оптимизацией по корпусам (она же рабочая схема),
* приведено количество типов ЛЭ и корпусов в каждом случае.

***По пп.3.2***.

Приведена схема и описание словами (!!!) логики ее построения – ПРИЛОЖЕНИЕ 7.2.

***По пп.3.3***.

Приведена совмещенная временная диаграмма, состоящая из:

* состояния выходов DC при полном цикле счета – бегущий "0",
* управляющие сигналы на входах М1 – М4 – из варианта.

Для элементов М1 – М4:

* составлены БФ управления,
* нарисована общая схема реализации "as is", включая несуществующие в выпуске ЛЭ (только на бумаге),
* нарисована рабочая схема с учетом выпускаемых типов и очень желательно с минимизацией по корпусам.

Пример выполнения временных диаграмм и схем в отчете – в ПРИЛОЖЕНИИ 7.2. Схемы из EWB не копировать!!!