ПРИЛОЖЕНИЕ 7.1. ВАРИАНТЫ

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Вар. | пп.3.1 | ENInput | пп.3.2 | пп.3.3. |
| M1 | M2 | M3 | M4 |
| 1 | 1,3,6 | G1 | 5,7 | 1,2,4,5,6,7 | 2,5,6,7 | 2,5,6,7 | 1,2,7 |
| 2 | 0,4,5 | G2A' | 3,5 | 0,6,7 | 0,1,5,6,7 | 1,2,4,5,7 | 2,4,7 |
| 3 | 2,5,7 | G2B' | 1,6 | 0,1,2,3,5 | 0,1,2,5,6 | 0,1,5,6 | 0,5 |
| 4 | 4,6,7 | G1 | 2,5 | 0,1,3,5 | 0,1,3,4,7 | 0,2,3,4,7 | 0,2,4,6 |
| 5 | 3,5,6 | G2A' | 4,7 | 0,1,2,3 | 1,2,3,4 | 2,3,4,5 | 3,4,5,6 |
| 6 | 0,1,5 | G2B' | 0,5 | 0,1,2,3,5 | 2,3,5,6 | 3,5,6,7 | 1,2,3 |
| 7 | 3,6,7 | G1 | 1,4 | 1,5,6 | 1,3,5,6 | 2,3,5,7 | 2,5,7 |
| 8 | 2,3,6 | G2A' | 5,6 | 1,2,3,6 | 0,2,3 | 0,2,4 | 1,2,4,7 |
| 9 | 1,4,7 | G2B' | 3,6 | 1,3,5 | 0,1,2,4,5 | 0,1,2,4,6 | 0,3,6 |
| 10 | 2,4,6 | G1 | 2,4 | 0,2,4,6 | 0,1,2,4 | 0,1,2,3 | 0,1,3,5 |
| 11 | 0,2,4 | G2A' | 0,3 | 1,4,5,7 | 4,5,6,7 | 3,5,6,7 | 2,3,6,7 |
| 12 | 3,4,7 | G2B' | 4,6 | 0,3,6,7 | 0,1,3,4,6,7 | 0,1,3,4,5,7 | 1,3,5,7 |
| 13 | 5,6,7 | G2B' | 1,5 | 0,1,4,5 | 1,2,4,5,7 | 1,2,3,5,7 | 0,2,3,5 |
| 14 | 1,2,6 | G1 | 2,6 | 0,2,3,6 | 0,2,3,5,6,7 | 1,2,3,5,6,7 | 1,2,5 |
| 15 | 2,4,7 | G2A' | 3,4 | 0,2,4,7 | 0,1,2,3,4 | 1,2,3,5 | 0,3,5,7 |
| 16 | 0,3,7 | G2B' | 1,3 | 2,4 | 1,4,5 | 1,2,4,5,6 | 1,2,4,5,6,7 |

EN Input – вход разрешения для схемы на Рис.7.4.

***ВНИМАНИЕ!***

Если кому-то кажется, что при разрешении работы на (5 - 6) тактах нужно проводить больше линий, чем на (2 – 3) тактах, то это неправильно: затраты по линиям и корпусам могут быть абсолютно одинаковы.

В **пп.3.1** - №№ выходов, на которых *не должен* появляться активный уровень при полном цикле перебора адресов.

В **пп.3.2** - №№ выходов, на которых *должен* появляться активный уровень, т.е. переключаться сигнал с входа DMX (появляться частота генератора-передатчика).

В **пп.3.3** - №№ тактов с 0 по 7, во время которых на каждом из в М1 – М4 должна появляться "1".

ПРИЛОЖЕНИЕ 7.1. ВАРИАНТЫ

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Вар. | пп.3.1 | ENInput | пп.3.2 | пп.3.3. |
| M1 | M2 | M3 | M4 |
| 1 | 1,3,6 | G1 | 5,7 | 1,2,4,5,6,7 | 2,5,6,7 | 2,5,6,7 | 1,2,7 |
| 2 | 0,4,5 | G2A' | 3,5 | 0,6,7 | 0,1,5,6,7 | 1,2,4,5,7 | 2,4,7 |
| 3 | 2,5,7 | G2B' | 1,6 | 0,1,2,3,5 | 0,1,2,5,6 | 0,1,5,6 | 0,5 |
| 4 | 4,6,7 | G1 | 2,5 | 0,1,3,5 | 0,1,3,4,7 | 0,2,3,4,7 | 0,2,4,6 |
| 5 | 3,5,6 | G2A' | 4,7 | 0,1,2,3 | 1,2,3,4 | 2,3,4,5 | 3,4,5,6 |
| 6 | 0,1,5 | G2B' | 0,5 | 0,1,2,3,5 | 2,3,5,6 | 3,5,6,7 | 1,2,3 |
| 7 | 3,6,7 | G1 | 1,4 | 1,5,6 | 1,3,5,6 | 2,3,5,7 | 2,5,7 |
| 8 | 2,3,6 | G2A' | 5,6 | 1,2,3,6 | 0,2,3 | 0,2,4 | 1,2,4,7 |
| 9 | 1,4,7 | G2B' | 3,6 | 1,3,5 | 0,1,2,4,5 | 0,1,2,4,6 | 0,3,6 |
| 10 | 2,4,6 | G1 | 2,4 | 0,2,4,6 | 0,1,2,4 | 0,1,2,3 | 0,1,3,5 |
| 11 | 0,2,4 | G2A' | 0,3 | 1,4,5,7 | 4,5,6,7 | 3,5,6,7 | 2,3,6,7 |
| 12 | 3,4,7 | G2B' | 4,6 | 0,3,6,7 | 0,1,3,4,6,7 | 0,1,3,4,5,7 | 1,3,5,7 |
| 13 | 5,6,7 | G2B' | 1,5 | 0,1,4,5 | 1,2,4,5,7 | 1,2,3,5,7 | 0,2,3,5 |
| 14 | 1,2,6 | G1 | 2,6 | 0,2,3,6 | 0,2,3,5,6,7 | 1,2,3,5,6,7 | 1,2,5 |
| 15 | 2,4,7 | G2A' | 3,4 | 0,2,4,7 | 0,1,2,3,4 | 1,2,3,5 | 0,3,5,7 |
| 16 | 0,3,7 | G2B' | 1,3 | 2,4 | 1,4,5 | 1,2,4,5,6 | 1,2,4,5,6,7 |

EN Input – вход разрешения для схемы на Рис.7.4.

***ВНИМАНИЕ!***

Если кому-то кажется, что при разрешении работы на (5 - 6) тактах нужно проводить больше линий, чем на (2 – 3) тактах, то это неправильно: затраты по линиям и корпусам могут быть абсолютно одинаковы.

В **пп.3.1** - №№ выходов, на которых *не должен* появляться активный уровень при полном цикле перебора адресов.

В **пп.3.2** - №№ выходов, на которых *должен* появляться активный уровень, т.е. переключаться сигнал с входа DMX (появляться частота генератора-передатчика).

В **пп.3.3** - №№ тактов с 0 по 7, во время которых на каждом из в М1 – М4 должна появляться "1".