

ПОВТОРИТЕЛЬ СИГНАЛОВ ЛИНИИ (разработка НТЛ ЭлИн)

Повторитель используется в 1-проводной сети MicroLAN и предназначен для обеспечения временных параметров сигналов обмена данными при работе с длинной и нагруженной линией. Он поддерживает двунаправленную передачу данных на 1-проводной шине и улучшает формирование фронтов сигналов на вторичном участке линии, в отведенные протоколом MicroLAN интервалы времени.

Повторитель включается в разрыв линии **DATA**, образуя сегменты линии, именуемые далее **DATA(master)** и **DATA(slave)**. В качестве задающего устройства может выступать фактический **master** шины (или предыдущий повторитель), а в качестве **slave** все последующие устройства на линии, как до, так и после повторителя.

Функционально повторитель состоит из двух частей, назначение которых следует из их названий: узла приема-передачи данных, узла активной «подтяжки» линии **DATA(slave)** и стабилизатора питания. Эти узлы осуществляют работу не зависимо друг от друга, и поэтому рассматриваются по отдельности.

Все процессы на сегментах линий данных, относительно повторителя, собственно происходят в двух режимах.

Режим 1: Устройство **master** выставляет на линию **DATA(master)** сигнал логического «0», поддерживает этот сигнал регламентированное время, а затем освобождает линию, напряжение на которой «подтягивается» до уровня логической «1». При этом на сегменте линии **DATA(slave)** временная диаграмма **master** полностью дублируется.

Режим 2: Устройство **master** выставляет на линию логический «0», через некоторое время **slave** тоже выставляет «0». После чего **master** переключается на чтение линии **DATA**, а **slave** продолжает поддерживать логический «0» на линии. Через определенный интервал времени **slave** оставляет линию, и она «подтягивается» до уровня «1». Таким образом, повторитель должен поддерживать оба алгоритма режимов и синхронизировать изменения логических уровней на **DATA(master)** и на **DATA(slave)**.

ПРИНЦИП РАБОТЫ УЗЛА ПРИЕМА-ПЕРЕДАЧИ ДАННЫХ

В состав данного узла входят: компаратор А1.3, транзисторы VT1 – VT4, логический элемент D1.4, резисторы R1 – R7. Питание осуществляется от источника, собранного на стабилизаторе U1 и конденсаторах C1, C2. Резистор R4 – сопротивление «пассивной подтяжки» линии **DATA(slave)** к уровню «1». Резисторы R6, R7 образуют делитель напряжения задающий потенциал на положительном входе компаратора, равный 0,15 В.

Отработка Алгоритма режима1

1. На линии **DATA** не присутствует ни одно устройство, на сегментах линий **DATA(master)** и **DATA(slave)** уровень «1». При этом на выходе компаратора «0», VT1, VT4 закрыты, VT2, VT5 закрыты, а на выходе элемента D1.4 «0».
2. **Master** выставляет на линии **DATA(master)** «0». Транзисторы VT1, VT4 открываются и переключают в «0» линию **DATA(slave)**., при этом потенциал на ней определяется делителем R4, R2 и равен 0,2 В. Выход компаратора остается в «0», VT5 открыт, VT2 закрыт.
3. **Master** оставляет линию **DATA(master)**, при этом она «подтягивается» к уровню «1» за счет внутренней «подтяжки» в устройстве **master**, VT1, VT4 закрываются, **DATA(slave)** «подтягивается» к «1», VT5 закрывается. Выход компаратора остается в «0», VT2 закрыт.

Отработка Алгоритма режима2

1. На линии **DATA** не присутствует ни одно устройство, на **DATA(master)** и **DATA(slave)** уровень «1». При этом на выходе компаратора «0», VT1 закрыт, VT2 закрыт, VT4 закрыт, VT5 закрыт, а на выходе элемента D1.4 «0».
2. **Master** выставляет на линии **DATA(master)** «0». Транзисторы VT1, VT4 открываются и переключают в «0» линию, **DATA(slave)** при этом потенциал на ней определяется делителем R4, R2 и равен 0,2 В. Выход компаратора остается в «0», VT5 открыт, VT2 закрыт.

3. **Slave** выставляет на линию **DATA(slave)** «0», при этом ее потенциал **должен** стать ниже 0,15 В. Компаратор переключится в «1», на выходе D1.4 появится «1» и VT2 откроется.
4. **Master** оставляет линию **DATA(master)**, но ее потенциал не меняется, так как VT2 по-прежнему открыт.
5. **Slave** оставляет линию **DATA(slave)**. Ее потенциал становится равен 0,2 В за счет открытого VT4. Компаратор переключится в «0», VT2 закроется и линия **DATA(master)** «подтянется» к «1». VT1, VT4 закроются, линия **DATA(slave)** «подтянется» к «1» и закроется VT5.

ПРИНЦИП РАБОТЫ УЗЛА АКТИВНОЙ ПОДТЯЖКИ SLAVE

Этот узел состоит из компараторов A1.1, A1.4, триггера D2.2, транзистора VT3 и резисторов R8 – R14. Резисторы R8 – R9 и R10 – R11 образуют делители напряжения и задают опорные уровни для A1.4, A1.1, равные соответственно 0,8 В и 4,8 В.

1. Линия покинута всеми устройствами, при этом линия **DATA(slave)** в «1». На выходе A1.4 «1», на выходе A1.1 «0», на выходе триггера «1». Транзистор VT3 закрыт.
2. **Master** выставляет на линию **DATA(master)** «0», при этом потенциал линии **DATA(slave)** станет равен 0,2 В. Выход A1.4 переключится в «0», выход A1.1 переключится в «1», но при этом триггер останется в прежнем состоянии и VT3 будет закрыт. Такое состояние схема сохранит до тех пор, пока **Slave** не покинет линию **DATA(slave)**.
3. **Slave** оставил линию **DATA(slave)**, и ее потенциал начнет «подтягиваться» к «1» за счет резистора R4. Когда он достигнет уровня 0,8 В переключится компаратор A1.4, на выходе триггера появится «0» и откроется VT3. Тем самым включится активная «подтяжка».
4. Когда потенциал на линии **DATA(slave)** достигнет уровня 4,8 В переключится A1.1 и значит на выходе триггера появится «1». VT3 закроется, отключив активную «подтяжку».

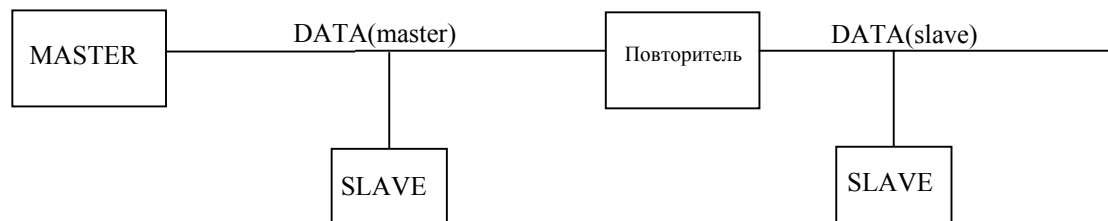


РИС.1 ЗАПИСЬ ЛОГ.ЕДИНИЦЫ, ЗАПИСЬ ЛОГ.НУЛЯ, ИМПУЛЬС ОБНАРУЖЕНИЯ ПРИСУТСТВИЯ.

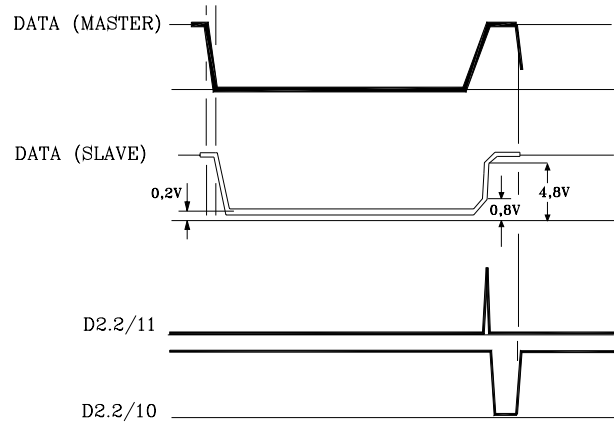


РИС.2 ЧТЕНИЕ, ИМПУЛЬС СБРОСА.

